

MULTIPLE OUTPUT POWER SOURCE DEVICE

Patent Number: JP11065685
Publication date: 1999-03-09
Inventor(s): KOYASU TAKAHISA
Applicant(s): DENSO CORP
Requested Patent: ☐ JP11065685
Application Number: JP19970216685 19970811
Priority Number(s):
IPC Classification: G05F1/56; B60R16/02
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To stop the output of unnecessary power supply voltage, and to reduce power consumption accompanying the generation into zero, with respect to a multiple output power supply device for generating and outputting a DC constant voltage.

SOLUTION: This is a power source IC 10, in which operating amplifier circuits OP1-OP3 for generating a DC constant voltage and constant current circuits 22-26 for allowing constant currents to flow in each circuit for operating it are integrated in an IC package 30, and the DC constant voltage can be outputted from output terminals T01-T03. The ground side power supply paths of the constant current circuits 22 and 26 are interrupted from an inside ground line LGD and connected with cut terminals Tc1 and Tc3 formed outside the IC package 30. As a result, when the cut terminals Tc1 and Tc3 are grounded at the time of use, the voltage can be outputted from each output terminals T01-T03, and when the cut terminals Tc1 and Tc3 are opened, the voltage output from the corresponding output terminals can be stopped. Also, at the time of stopping the output, currents flowing through the corresponding constant current circuits and operating amplifier circuits is turned into zero, so that unnecessary power consumption can be made zero.

Data supplied from the esp@cenet database - l2

(19) 日本国特許庁 (J P) (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-065685

(43) 公開日 平成11年(1999) 3月9日

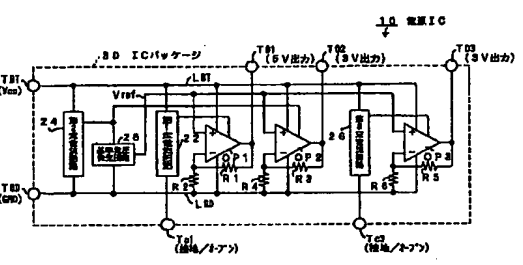
(5) Int. Cl. ⁴	識別記号	P I
G 0 5 F 1/56	310	G 0 5 F 1/56
B 6 0 R 16/02	670	B 6 0 R 16/02
		310 X
		670 A

審査請求 未請求 請求項の項2 O L (全10項)

(21) 出願番号	特願平9-21685	(71) 出願人	000004260 株式会社デンソー
(22) 出願日	平成9年(1997) 8月11日	(72) 発明者	愛知県刈谷市昭和町1丁目1番地 子安 真久 愛知県刈谷市昭和町1丁目1番地 社デンソー内 (74) 代理人 弁護士 足立 勉

(54) 発明の名称 多出力電源装置

- (57) 要約
- 【要約】 直流定電圧を生成・出力する多出力電源装置において、不要な電源電圧の出力を停止し、且つ、その生成に伴う消費電力を零にできるようにする。
- 【解決手段】 直流定電圧を生成するオペアンプ回路OP1〜OP3と、各回路に定電流を流して動作させる定電流回路22〜26とをICベンツァー30に組み込み、出力端子T01〜T03から夫々直流定電圧を出力可能な電圧IC10において、定電流回路22、26のグラウンド供給経路を、内部のグラウンドライン10から遮断し、ICベンツァー30の外に形成したカソード端子T01、T03に接続する。この結果、使用時にカソード端子T01、T03を接続すれば、各出力端子T01〜T03から電圧を出力させることができ、カソード端子T01、T03をオペアンプにすれば、対応する出力端子からの電圧出力を停止させることができる。また、出力停止時には、対応する定電流回路及びオペアンプ回路に流れる電流を零にできるので、不要な電力消費を零にできる。



【特許請求の範囲】

【請求項1】 基準電圧を発生する基準電圧発生回路と、

該基準電圧発生回路からの基準電圧に基づき、外部装置給電用の予め設定された直流定電圧を生成する複数のオペアンプ回路と、

該複数のオペアンプ回路の各々に定電流を流して各オペアンプ回路を動作させる複数の定電流回路と、

を備え、前記各回路を制御してICベンツァー内に組み込み、該ICベンツァーの外側に、前記オペアンプ回路からの出力を夫々外部装置に供給するための複数の出力端子、及び、該ICベンツァー内の正側の電源ラインを介して前記各回路に電源電圧を供給するための一方の電源端子を形成してなる多出力電源装置であって、前記複数の定電流回路の内の少なくとも一つにおいては、前記ICベンツァー内の一方の電源ラインに接続されるべき給電経路を該電源ラインから遮断し、前記ICベンツァーの外側に、該給電経路に接続された専用の給電端子を形成してなることを特徴とする多出力電源装置。

【請求項2】 前記給電端子に接続される前記定電流回路の給電経路は、前記ICベンツァー内の正側の電源ラインの内、前記各回路共通のグラウンドとされるグラウンドラインに接続されるべき経路であることを特徴とする請求項1に記載の多出力電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、外部装置に電源供給すべき直流定電圧を生成する複数のオペアンプ回路をICベンツァー内に組み込んだ多出力電源装置(IC)に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】 従来より、例えば自動車に搭載される車両制御用の電子制御装置等では、制御の多機能化に伴い、信号処理、演算処理・通信処理等のためのマイクロコンピュータ(MCU)以下、CPUというのを多数使用するようになりつつある。

【0003】 これに伴い、電子制御装置にCPUと共に組み込まれてCPU駆動用の電源電圧(直流定電圧)を生成する電源ICも、各CPUの動作電圧、消費電力等に合わせて複数必要になるが、電源ICを各CPU毎に設けていては、電子制御装置の大型化を招き、また、コストアップにもなる。

【0004】 このため、こうした複数種類の電源電圧が必要な装置では、各電源電圧を生成して個々に出力可能な多出力型の電源ICを使用することが望ましい。そして、このような多出力型の電源ICを生成する際には、電源ICを使用する装置構成(つまり、CPUの枚数)によらず、1種類にした方がよい。つまり、電源ICを1種類にすれば、その量産化を図ることができ、製造コストを低減できる。

【0005】 しかし、必要な電源電圧の数や種類が異なる装置において、共通の電源ICを使用するために、電源ICを、全ての装置において必要な電源電圧を生成できるように構成すると、量産化によってコストアップの問題は防止できても、電子制御装置に電源ICを組み込み、実際に動作させた際に、電源ICは、装置の駆動に必要な電源電圧まで生成することになり、その消費電力が増大してしまうという問題が発生する。

【0006】 本発明は、こうした問題に鑑みながらなされたものであり、上記のように複数の電源電圧を生成して同時に出力可能な多出力電源装置において、実際に使用する際に必要のない電源電圧の出力を停止でき、しかもその不要な電源電圧の生成に伴う消費電力を零にできるようにすることを目的とする。

【0007】

【課題を解決するための手段】 かかる目的を達成するためになされた請求項1に記載の多出力電源装置においては、外部装置給電用の予め設定された直流定電圧を生成するために複数のオペアンプ回路が備えられ、各オペアンプ回路は、定電流回路により定電流が流されて動作する。つまり、オペアンプ回路は、周知のように、入力段に差動増幅器を備え、その差動増幅器からの出力を増幅して出力するものであり、差動増幅器やその出力を増幅する増幅器等は定電流駆動によって動作することから、本発明の多出力電源装置においては、ICベンツァー内に、複数のオペアンプ回路とオペアンプ回路を定電流駆動するための複数の定電流回路とが組み込まれているのである。そして、各オペアンプ回路は、基準電圧発生回路からの基準電圧に基づき、所定の直流定電圧を外部装置給電用の電源電圧として生成し、その生成した電源電圧を、ICベンツァーの外側に設けられた各出力端子から出力する。

【0008】 また、ICベンツァーの外側には、各オペアンプ回路にて生成された電源電圧を出力する複数の出力端子とは別に、一方の電源端子が形成され、ICベンツァー内の各回路には、この電源端子に接続された正側の電源ラインを介して電源供給がなされるが、複数の定電流回路の内の少なくとも一つにおいては、ICベンツァー内の一方の電源ラインに接続されるべき給電経路が、その電源ラインから遮断されており、その給電経路には、ICベンツァーの外側に形成された専用の給電端子から動作に必要な電位を供給できるようにされている。

【0009】 従って、本発明の多出力電源装置においては、動作のために直流定電圧を必要とする複数の電子部品(前述のCPU等)と共に自動車用電子制御装置等の回路基板に組み込み、実際に動作させる際には、ICベンツァー内に形成された給電端子を、電子装置側の電源ラインに接続するおかげによって、給電経路が給電端子に接続された定電流回路、及び、その定電流回路から定電流を受けて動作するオペアンプ回路の動作・非動作を切

のデータラインや、他のECUとの間の信号入出力ラインは省略されている。また、バッテリー12の負電極は車体に接地される。そのグラウンドパターンは車体に接地する。回路基板は、そのグラウンドパターンに接地することにより、バッテリー12の負電極に接続されることから、バッテリー12から各CPU4, 6, 8に至る電源ラインについても、正の電源ラインのみを接続し、負の電源ラインについては、各線をグラウンドパターンに接続するものとして記載されている。

[0019]そして、本実施例では、CPU4が直流5Vにて動作する16bit マイクロコンピュータから構成され、CPU6, 8が直流3Vにて動作する32bit マイクロコンピュータにて構成されており、電源IC10の出力端子T01, T02, T03からは、これら各CPU4, 6, 8に対応した5V, 3V, 3Vの電源電圧(直流電圧)が出力される。

[0020]次に、電源IC10は、図2に示すように、上記各CPU4, 6, 8に電源供給を行うための電源電圧を生成するオペアンプ回路OP1, OP2, OP3と、これら各オペアンプ回路OP1, OP2, OP3に動作の定電流を流すための第1定電流回路22, 第2定電流回路24及び第3定電流回路26と、各オペアンプ回路OP1~OP3に基準電圧Vrefを供給する基準電圧発生回路28から構成され、これら各回路をIC基板に集積し、更にそのIC基板を、樹脂或いはセラミックス等の絶縁材料からなるICパッケージ30内に収納することにより、1チップの多出力電源装置として形成されている。

[0021]また、ICパッケージ30内には、上記各回路にバッテリー12を接続して電源電圧Vccを供給するための電源ラインLT及びグラウンドラインLGPが形成され、ICパッケージ30の外側には、電源ラインLTをバッテリー12の正極端子に接続するための正の電源端子(バッテリー端子)TBT、及びグラウンドラインLGPを接地(グラウンド端子)TGDが形成されている。

[0022]そして、オペアンプ回路OP1, OP2, OP3及び第2定電流回路24は、バッテリー端子TBT及びグラウンド端子TGD間に電源電圧Vccが供給されているときに動作可能となるよう、電源ラインLT及びグラウンドラインLGPに接続されているが、第1定電流回路22及び第3定電流回路26は、電源ラインLTのみに接続され、グラウンドラインLGPに接続されるべき給電経路は、ICパッケージ30の外側に形成された専用の給電端子(以下、カット端子という)Tel, Tc3に接続されている。

[0023]つまり、ICパッケージ30には、生成した電源電圧(直流電圧)Vccの出力端子TBT~T03と、外部から電源電圧Vccの供給を受けるためのバッテリー端子TBT及びグラウンド端子TGDと、第1及び第3定電流回路22, 26を接続するためのカット端子Tel,

配各回路がICパッケージに組み込まれており、使用時には、プリント配線基板等の回路基板に装着されることになるが、給電端子を、定電流回路においてグラウンドライン(一般に負の電源ライン)とは極性の異なる電源ライン(一般に正の電源ライン)に接続されるべき給電経路に接続することにより、定電流回路を動作させることができる。回路基板側で、その電源ラインを構成する配線パターンを、多出力型電源装置の給電端子位置まで形成しなければならず、回路基板の設計が面倒になる。また、このように回路基板側で、電源ラインを構成する配線パターンを引き回した場合は、その配線パターンには、高周波ノイズ等が重畳されてCPU等の他の電子部品がその配線パターンを伝ってCPU等の他の電子部品に入力されることがあり、装置の信頼性が低下する。また、回路基板において、こうしたノイズを低減するには、配線パターンと、回路基板において大きな面積を占めるグラウンドパターンとの間にノイズ吸収用のコンデンサを設け、このコンデンサにてノイズ成分をグラウンドパターンに導くようにすればよいが、このようなノイズ対策を行うには、多出力型電源装置とは別に、コンデンサを装着しなければならない。コストアップになる。

[0015]しかし、請求項2に記載のように、給電端子を、定電流回路においてグラウンドライン側に接続されるべき給電経路に接続するようにすれば、回路基板に装着した際、その給電端子を、回路基板において大きな面積を占めるグラウンドパターンに接続すれば、定電流回路を動作させることができるようになるため、回路基板の設計が簡便になり、耐ノイズ性の優れた装置を実現できることになる。

[0016]【発明の実施の形態】以下に本発明の実施例を図面と共に説明する。図1は実施例の自動車用電子制御装置(以下、単にECUという)2の構成を示すブロック図である。

[0017]ECU2は、エンジンやトランスミッション等の車載装置を制御するためのものであり、各種センサからの信号入力、制御対象の制御量演算、他のECUとの間のデータ通信等、制御に必要な各種処理を分担して実行する装置(本発明では3つ)のマイクロコンピュータ(CPU)4, 6, 8と、これら各CPU4, 6, 8を動作させるのに必要な電源電圧(直流電圧)を生成して、各電圧を出力端子T01, T02, T03から各CPU4, 6, 8に出力する多出力電源装置(以下、電源ICという)10とから構成されている。そして、これらCPU4, 6, 8及び電源IC10は、図示しない回路基板に装着され、その回路基板に形成されたプリント配線パターンにて互いに接続されている。

[0018]尚、図では、車体に搭載されたバッテリー2から電源IC10を介して各CPU4, 6, 8に至る電源ラインのみが記載されており、CPU4, 6, 8間

り換えることができる。回路基板に組み込まれた電子部品の駆動に必要な電源電圧については、その出力を停止させることができる。

[0010]また、本発明では、不要な電源電圧の出力を停止させるに当たって、オペアンプ回路に定電流を流す定電流回路への電源供給を遮断して、その動作を停止させることから、この定電流回路及びオペアンプ回路に流れる電流を零にし、これら回路の不要な動作による電力消費を確実に防止し、多出力電源装置を電源電圧の生成に必要な最小の消費電力で効率よく動作させることができる。

[0011]つまり、本発明のようなオペアンプ回路からなる多出力電源装置において、不要な電源電圧の出力を停止させるには、例えば、一般にオペアンプ回路の出力段には通常プッシュプル回路が使用されることから、そのプッシュプル回路を構成するトランジスタの制御入力端子(ベース、ゲート等)への電流経路を遮断する、というように、電源電圧を生成するオペアンプ回路の出力段からの出力を直接遮断するようにしてもよい。しかし、このような構成では、オペアンプ回路の差動増幅器や差動増幅器からの出力を増幅する増幅器等には定電流が流れてしまい、その動作を停止させることができず、不要な電力消費が多くなる。これに対して、本発明によれば、オペアンプ回路に定電流を流す定電流回路への電源供給を遮断することで、定電流回路及びオペアンプ回路に流れる電流を零にすることができ、電源装置における無駄な電力消費を零にすることができるのである。

[0012]また、このように、本発明によれば、電源装置の無駄な電力消費をなくすることができるので、これら電源装置の不要な動作による発熱も防止できる。従って、本発明の多出力電源装置が組み込まれる装置側では、CPU等の電子部品からの発熱と、この電子部品への電源供給に必要な電源装置からの発熱だけを考慮して、放熱のための部品配置をすればよく、多出力電源装置の無駄な発熱を含めた放熱対策を行う必要がないため、無駄な放熱対策のために装置が大型化するという問題も防止できる。

[0013]ここで、給電端子を介して定電流回路(延いてはオペアンプ回路)の動作・非動作を切り換えるには、この給電端子に定電流回路の給電経路を接続すればよく、その給電経路としては、ICパッケージ内の正・負の電源ラインのうち、いずれの電源ラインに接続されるべき給路であってよいが、請求項2に記載のように、正・負の電源ラインのうち、ICパッケージ内の各回路共通のグラウンド電位とされるグラウンドラインに接続されるべき給路にすれば、本発明の多出力電源装置が組み込まれる回路基板の設計が簡単になり、また、その回路基板を使用して、耐ノイズ性に優れた装置を実現できる。

[0014]つまり、本発明の多出力型電源装置は、上

Tc3とが形成され、このカット端子Tc1, Tc3をECU2の回路基板のグラウンドパターンに接地することによって、各定電流回路22, 26の動作・非動作を設定できるようにされている。

[0024]そして、本実施例では、ECU2に3つのCPU4, 6, 8が設けられ、オペアンプ回路OP1~OP3により各CPU4, 6, 8に供給する電源電圧を生成する必要があるため、電源IC10の各カット端子Tc1, Tc3は、ECU2の回路基板のグラウンドパターンに接地され、バッテリー端子TBTにバッテリー12が接続されたときには、第2定電流回路24だけでなく、第1定電流回路22及び第3定電流回路26にも定電流が流れ、3つのオペアンプ回路OP1~OP3が全て動作して、各CPU4, 6, 8に対して、必要な電源電圧(直流電圧)を供給できるようにされている。

[0025]尚、基準電圧発生回路28は、第2定電流回路24により定電流が流され、その定電流から基準電圧を生成するように構成されており、第2定電流回路24の動作時には常に基準電圧を発生できると、グラウンドラインLGPに接続されている。そして、基準電圧発生回路28からの出力(基準電圧Vref)は、各オペアンプ回路OP1~OP3の非反入力端子(+)に入力され、各オペアンプ回路OP1~OP3は、その基準電圧Vrefから、出力端子と反入力端子(-)との間に接続された帰還用の抵抗R1, R3, R5, 及び、反入力端子(-)とグラウンドラインLGPとの間に接続された帰還用の抵抗R2, R4, R6にて下配のように決定される電源電圧(直流電圧)を生成する。

[0026]オペアンプ回路OP1出力 $5V = V_{ref} \cdot (R1 + R2) / R2$
オペアンプ回路OP2出力 $3V = V_{ref} \cdot (R3 + R4) / R4$
オペアンプ回路OP3出力 $3V = V_{ref} \cdot (R5 + R6) / R6$

次に、図3は、オペアンプ回路OP1とこれに定電流を流す第1定電流回路22の構成を示す電気回路図である。

[0027]図3に示す如く、オペアンプ回路OP1は、入力段に差動増幅器32を、次に差動増幅器32からの出力を増幅する共通エミッタ増幅器34を、出力段にプッシュプル出力回路36を、夫々備えた周知のものである。即ち、オペアンプ回路OP1において、差動増幅器32は、エミッタが抵抗R30を介して電源ラインLGPに接続され、ベースが第1定電流回路22内で電流を流すPNPトランジスタT12のベースに接続され、コレクタから第1定電流回路22と同じ定電流を出力するPNPトランジスタT130と、ベースが反入力端子(-)及び非反入力端子(+)に夫々接続され、エミッタがPNPトランジスタT130のコレクタに夫々

【0022】また、共通エミッタ増幅器34は、コレクタが電源ラインL1に及びNPNトランジスタT35のコレクタに接続され、ベースがNPNトランジスタT34のコレクタに接続され、エミッタが抵抗R33を介してグランドに接続され、NPNトランジスタT36と、エミッタが電源ラインL1に接続されたNPNトランジスタT37と、エミッタが電源ラインL1に接続されたNPNトランジスタT38と、エミッタが電源ラインL1に接続され、ベースが第1定電流回路22の同じNPNトランジスタT22と同じ定電流を出力するPNPトランジスタT37と、コレクタ及びベースがNPNトランジスタT37のコレクタに接続されたNPNトランジスタT38と、ベースがNPNトランジスタT37のコレクタに接続され、コレクタがNPNトランジスタT38のエミッタに接続され、エミッタがNPNトランジスタT38のベースに接続され、エミッタが位相補用のコンデンサC30とダイオードD30との並列回路を介して、NPNトランジスタT38のベース（換言すればNPNトランジスタT38のコレクタ）に接続され、NPNトランジスタT39のベースに抵抗R33を介してNPNトランジスタT39のベースに接続されると共に、NPNトランジスタT38のエミッタに直接接続され、エミッタがグランドラインL1に接地され、ベースがNPNトランジスタT38のエミッタに接続され、NPNトランジスタT40とから構成されている。

[illegible]

[00036] 次に、カント端子Te1がCUI2のソケットP2に接続され、オペアンプ状態とされ、オペアンプ端子P1がパツクリ12の正極側に接続されて、第1定電流回路22内では電流経路が形成されず、PNPトランジスタT21に定電流が流れることはなしであり、このようにPNPトランジスタT21に定電流が流れるなければ、オペアンプ回路OP1に流れる電流も零となり、オペアンプ回路OP1からの電圧出力は停止される。

カッター端子 1c1	カッター端子 1c3	CPU4 (5V)	CPU6 (3V)	CPU8 (3V)
接地	接地	○	○	○
接地	オーブン	○	○	×
オーブン	接地	×	○	○
オーブン	オーブン	×	○	×

【0042】また、本発明では、出力端子T01、T02からの電圧出力を停止させる際には、出力端子T01、T02をオプン回路にして、第1及び第3定電流回路2, 2, 2の電流供給を遮断するように構成されている。例えば、出力端子T01、T02からの電圧出力を停止させたい場合には、その出力端子に接続したオプン回路OP1、OP3及び出力電流回路2, 2, 2に流れる電流を大きくするこができる。

10038] 尚、オペレーン回路OPF2及び第2定電流回路266、上記オペレーン回路OPF1及び第1定電流回路22と略同様に構成されており、第2定電流回路266がカト端子に接続される代わりに、グラブドラインLに接続される点のみが異なる。

[10039] 以上説明したように、本実施例の電圧IC10は、3つのCPU6、6、8に宛てて個々に電源供給を行うために3つのオペレーン回路OP1～OP3と定電流回路22～26とを内蔵しているものの、ICパッケージ30の外部に形成されたカト端子Tol、T3を接続するオペレーン状態のOP1、OP3にて生成した電圧5V、3Vを出力するか否かを切り換えることができる。

[10040]

[表1]

U4 (V)	CPU6 (3V)	CPU8 (3V)
○	○	○
○	×	×
×	○	○
×	○	×

C10の消費電力が不必要に増加するようなことはなく、電圧IC10を、電圧電圧の生成に必要な最小の消費電力で効率よく動作させることができる。そして、このように電圧IC10を効率よく動作させることできるので、電圧IC10の発熱量も不必要に増大することはない。CPUの数を減らして性能を制限したECUにおいて、その動作に不必要な果敢動作を行う必要がない。

[10044] また、特に、本実施例では、出力端子T01、T03からの電圧出力を停止させるカト端子Tol、T3を、対応する定電流回路22、26の低電位側(グラブド端)に接続し、カト端子Tol、T3をECU2の回路基板のグラブパターンの接続するか否かによって、出力端子T01、T03からの電圧出力を切り換えるように構成されているため、電圧IC10が組み込まれる回路基板側では、各出力端子T01、T03に対応した位置にグラブパターンを形成しておけばよく、正の電圧電圧を供給するために正の電圧パターンを引き回す必要がな

ないため、回路基板の設計を簡単に行うことができる。
また、電源パターンへの引き回しによるノイズ対策のために、回路基板にノイズ吸収用のコンデンサを設ける必要もないため、ECUの製造コストも低減できる。

【0045】以上、本発明の一実施例について説明したが、本発明は上記実施例に限定されるのではなく、種々の態様をとることができる。例えば、上記実施例では、3つの出力端子T01～T03を有し、そのうちの2つの出力端子T01、T03から電源電圧を出力させるか否かを切替可能な電源ICについて説明したが、電源ICに設ける出力端子（以下では、定電流回路及びオペアンプ回路）の個数や、電圧出力を停止可能な出力端子の個数（換言すれば、カット端子の個数）は、電源ICを用いる装置の種類に応じて適宜設定すればよく、例えば、電源ICに設けた全ての出力端子からの出力を停止できるように、出力端子の個数とカット端子の個数とを一致させるようにしてもよい。

【0046】また、上記実施例では、カット端子Tc1、Tc3を、定電流回路22、26の低電位側に接続するよう構成したが、定電流回路22、26の低電位側はICパッケージ30内のグラウンドラインLGBに接続し、定電流回路22、26の高電位側を、ICパッケージ30内の電源ラインLTから切り離して、カット端子Tc1、Tc3に接続するようにしてもよい。そして、このように構成した場合には、カット端子Tc1、Tc3をオペアンプにするか、電源IC10が組み込まれた回路基板側の正の電源パターンに接続するかによって出力端子T01、T03からの電圧出力を停止させるか否かを切り換えることができる。各出力端子T01、T03からの電圧出力停止時には、上記実施例と同様、定電流回路22、26及びオペアンプ回路OP1、OP3に流れる電流を零にすることができ、但し、この場合、出力端子T01、T03から電圧を出力させるためには、カット端子Tc1、Tc3を、パツタリ端子TBTと同様に、回路基板側の正の電源パターンに接続する必要があることから、回路基板側では、コンデンサ等を用いて、その電源パターンの引き回しによるノイズ対策を行う必要がある。

【0047】また上記のように定電流回路22、26の低電位側（又は高電位側）にカット端子Tc1、Tc3を接続した電源IC10の場合、カット端子Tc1、Tc3をオペアンプ状態にすれば、出力端子T01、T03からの電圧出力を停止させることができる。例えば、カット端子Tc1、Tc3を、パツタリ端子TBT（又はグラウンド端子GND）に接続させてもよい。つまり、このようにしても、定電流回路22、26、延いてはオペアンプ回路OP1、OP3に流れる電流を零にして、出力端子T01、T03からの電圧出力を停止させることができる。但し、上記実施例のように定電流回路22、26の低電位側にカット端子Tc1、Tc3を接続した電源IC10において、カット端子

れる電流を遮断することができる。

【0052】また、図4（b）に示す定電流回路は、上記図4（a）の定電流回路と同様、定電流出力用のPNPトランジスタTf6に一つのコレクタを有するトランジスタを使用したものであり、そのエミッタは、電源ラインLTに接続され、ベースには、抵抗R61を介してPNPトランジスタTf6のエミッタが接続され、コレクタには、NPNトランジスタTf6のベースが接続され、抵抗R62を介してカット端子Tc6が接続され、抵抗R63を介してカット端子Tc6が接続され、抵抗R64を介してカット端子Tc6が接続されている。そして、PNPトランジスタTf6のコレクタは、カット端子Tc6に接続されている。

【0053】このように構成された図4（b）の定電流回路においては、パツタリ端子TBTとカット端子Tc6との間に電源電圧Vccが印加された場合、抵抗R61における電圧降下を無視すれば、PNPトランジスタTf6に流れる電流Iは、 $I = (V_{cc} - 2 \cdot V_f) / R62$ で定することになり、上記実施例と同様、PNPトランジスタTf6に流れる定電流Iによって、オペアンプ回路に定電流を流すことができる。また、カット端子Tc6をオペアンプ状態にすれば、PNPトランジスタTf6に流れる電流I、延いてはオペアンプ回路に流れる電流を遮断することができる。

【0054】また、図4（c）に示す定電流回路は、上記各定電流回路と同様、定電流出力用のPNPトランジスタTf7に一つのコレクタを有するトランジスタを使用したものであり、そのエミッタは、電源ラインLTに接続され、コレクタは、エミッタが抵抗R71を介してカット端子Tc7に接続されたNPNトランジスタTf7のコレクタに接続されると共に、コレクタがカット端子Tc7に直接接続されたPNPトランジスタTf7のベースに接続されている。また、PNPトランジスタTf7のベースには、抵抗R74を介してPNPトランジスタTf7のコレクタに接続されている。また、NPNトランジスタTf7のベースは、エミッタがカット端子Tc7に接続されたNPNトランジスタTf7のベース及びコレクタに接続され、NPNトランジスタTf7のベース及びコレクタは、エミッタが抵抗R72を介して電源ラインLTに接続されたPNPトランジスタTf7のコレクタに接続されている。また、このPNPトランジスタTf7のベースは、ダイオードD71、D72の直列回路を介して電源ラインLTに接続されると共に、抵抗R73を

介してカット端子Tc7に接続されている。尚、ダイオードD71、D72は、夫々、電源ラインLT側をアノード、PNPトランジスタTf7のベース側をカソードとして、互いに直列接続されている。

【0055】このように構成された図4（a）の定電流回路においては、パツタリ端子TBTとカット端子Tc7との間に電源電圧Vccが印加されれば、ダイオードD71、D72の両端電圧が $2 \cdot V_f$ （ V_f はダイオードの順方向電圧であり、トランジスタのベース・エミッタ間電圧と同じである）となり、抵抗R72の両端電圧は V_f となる。従って、PNPトランジスタTf7、NPNトランジスタTf7に流れる電流Iは $I = V_f / R72$ となる。そして、NPNトランジスタTf7とPNPトランジスタTf7とはカレントミラー回路を構成しているため、NPNトランジスタTf7、延いては、PNPトランジスタTf7にも、これと同電流Iが流れ、この電流Iにより、オペアンプ回路に定電流を流すことができる。また、カット端子Tc7をオペアンプ状態にすれば、PNPトランジスタTf7に流れる電流I、延いてはオペアンプ回路に流れる電流を遮断することができる。

【図面の簡単な説明】

【図1】 実施例の自動車用電子制御装置（ECU）の構成を表すブロック図である。

【図2】 実施例の電源ICの構成を表す回路構成図である。

【図3】 実施例の第1定電流回路及びオペアンプ回路の構成を表す回路構成図である。

【図4】 定電流回路の他の構成例を表す回路構成図である。

【符号の説明】

2...ECU（自動車用電子制御装置） 4、6...CPU
10...電源IC（多出力電源装置） 12...パツタリ
OP1、OP2、OP3...オペアンプ回路 26...基準電圧発生回路
22...第1定電流回路 24...第2定電流回路 2
6...第3定電流回路
30...ICパッケージ T01、T02、T03...出力端子
TBT...パツタリ端子 Tc0...グラウンド端子
Tc1、Tc3...カット端子（給電端子）

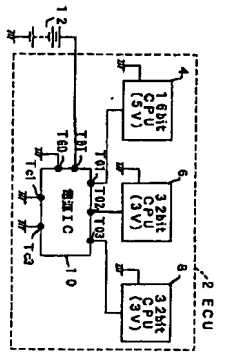
(9)

特開平11-065685

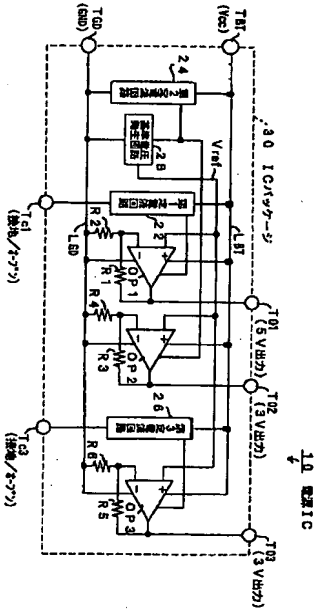
(10)

特開平11-065685

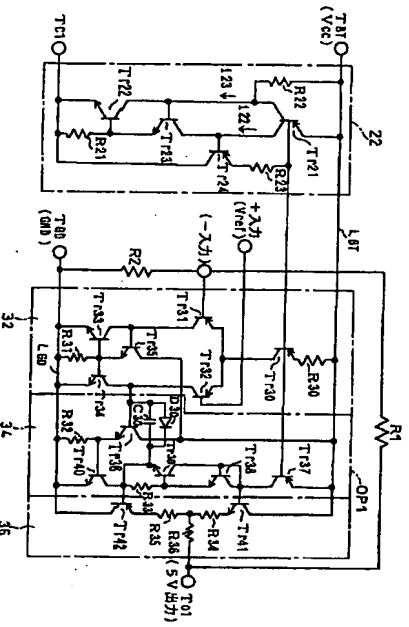
【図1】



【図2】



【図3】



【図4】

